

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177242

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

H01L 21/78
H01L 21/314
H01L 23/29
H01L 23/31
H01L 27/12
H01L 29/784

(21)Application number : 04-328123

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.12.1992

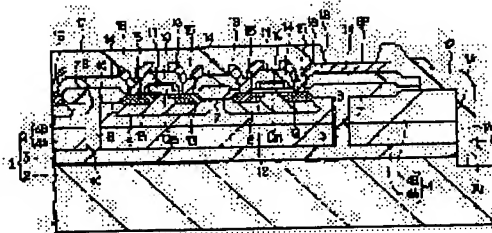
(72)Inventor : KAWAJI MOTONORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To prevent cations from reaching a main surface of an element forming region from an end face of an oxide insulating film between a support board and a semiconductor layer at an outer peripheral side of a semiconductor substrate and to improve electric reliability of a semiconductor integrated circuit device.

CONSTITUTION: An element forming region 4C formed of a semiconductor base 1 of a laminated structure of a semiconductor layer 4 via a first oxide insulating film 3 and specified at a periphery by a groove 3 reaching the film 3 from a main surface of the layer 4 toward a depth direction at the layer 4 of the base 1 is formed on a support board 2. A semiconductor integrated circuit device in which the region 4C is electrically isolated from the other region via the film 3, a second oxide insulating film 9 buried in a groove 8 and a third oxide insulating film 7 formed on the main surfaces of the layer 4 comprises a nonpermeable film 17A, etc., for cation to be provided on an end face of the film 3 at an outer peripheral side of the base 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-177242

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/78	L	8617-4M		
21/314	M	7352-4M		
23/29				
		8617-4M	H 0 1 L 23/ 30	D
		9056-4M	29/ 78	3 1 1 R
審査請求 未請求 請求項の数3(全 9 頁) 最終頁に続く				

(21)出願番号 特願平4-328123

(22)出願日 平成4年(1992)12月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 河路 幹規

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

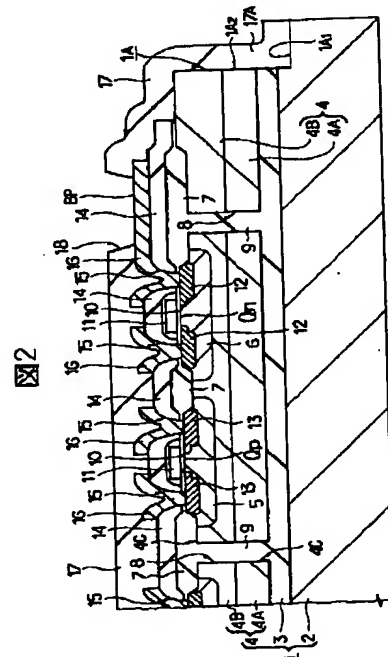
(74)代理人 弁理士 秋田 収喜

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 半導体基体の外周側面における支持基板と半導体層との間の酸化絶縁膜の端面から素子形成領域の主面に到達する陽イオンの侵入を防止し、半導体集積回路装置の電気的信頼性を向上する。

【構成】 支持基板2上に第1酸化絶縁膜3を介在して半導体層4が積層された積層構造の半導体基体1で構成され、前記半導体基体1の半導体層4にこの半導体層4の主面から深さ方向に向って前記第1酸化絶縁膜3に到達する溝8で周囲を規定された素子形成領域4Cが形成され、前記素子形成領域4Cが、前記第1酸化絶縁膜3、前記溝8内に埋め込まれた第2酸化絶縁膜9及び前記半導体層4の主面上に形成された第3酸化絶縁膜7で他の領域と電気的に分離される半導体集積回路装置であって、前記半導体基体1の外周側面における第1酸化絶縁膜3の端面上に陽イオンに対する非透過膜17A、20Aを設ける。



【特許請求の範囲】

【請求項1】 支持基板上に第1酸化絶縁膜を介在して半導体層が積層された積層構造の半導体基体で構成され、前記半導体基体の半導体層にこの半導体層の主面から深さ方向に向って前記第1酸化絶縁膜に到達する溝で周囲を規定された素子形成領域が形成され、前記素子形成領域が、前記第1酸化絶縁膜、前記溝内に埋め込まれた第2酸化絶縁膜及び前記半導体層の主面上に形成された第3酸化絶縁膜で他の領域と電気的に分離される半導体集積回路装置であって、前記半導体基体の外周側面から露出する第1酸化絶縁膜の端面上に陽イオンに対する非透過膜が設けられていることを特徴とする半導体集積回路装置。

【請求項2】 前記非透過膜は、陽イオンに対して遮蔽能力を有する窒化珪素膜又は金属膜、或は陽イオンに対して捕獲能力を有するPSG膜で形成されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記非透過膜は、前記第3酸化絶縁膜の上層に形成される最終保護膜又は下地電極膜と同一層で形成されていることを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、SOI (Semiconductor On Insulator) 構造を採用する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年、SOI構造を採用する半導体集積回路装置の開発が行われている。この種の半導体集積回路装置は、高信頼性や高集積化及び高速化等の高性能化が得られる特徴がある。

【0003】 本発明者が開発中のSOI構造を採用する半導体集積回路装置は例えば平面が方形に形成された半導体基体で構成される。この半導体基体は、例えば支持基板上に酸化絶縁膜(第1酸化絶縁膜)を介在して半導体層を積層した積層構造で構成される。支持基板は例えば単結晶珪素基板で形成され、酸化絶縁膜は例えば酸化珪素膜で形成される。半導体層は例えば単結晶珪素基板及びこの単結晶珪素基板上にエピタキシャル成長法で成長させたエピタキシャル層で形成される。

【0004】 前記半導体基体の半導体層には素子形成領域が形成される。この素子形成領域の主面には、例えばバイポーラトランジスタ、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等の半導体素子が形成される。素子形成領域は、半導体層の主面から深さ方向に向って前記支持基板と半導体層との間の酸化絶縁膜に到達する溝で周囲を規定された島領域で形成される。溝内には例えば酸化珪素膜で形成された酸化絶縁膜(第2酸化絶縁膜)が埋め込まれる。この酸化絶縁

膜は支持基板と半導体層との間の酸化絶縁膜に接触している。

【0005】 前記半導体層の素子形成領域の主面上には、フィールド酸化絶縁膜(第3酸化絶縁膜)が形成される。このフィールド酸化絶縁膜は例えば選択熱酸化法で形成された酸化珪素膜で形成される。フィールド酸化絶縁膜は前記溝内の酸化絶縁膜に接触している。つまり、素子形成領域は、酸化絶縁膜で周囲を囲まれ、他の領域と電気的に分離される。

【0006】

【発明が解決しようとする課題】 本発明者は、前述のSOI構造を採用する半導体集積回路装置について、以下の問題点を見出した。

【0007】 前記SOI構造の半導体集積回路装置は、半導体基体の外周側面において、支持基板と半導体層との間の酸化絶縁膜の端面が露出しているため、この酸化絶縁膜の端面から膜中にナトリウムイオン等の陽イオンが侵入する。そして、前記酸化絶縁膜中に侵入した陽イオンは、この酸化絶縁膜、溝内に埋め込まれた酸化絶縁膜及びフィールド酸化絶縁膜を透過して素子形成領域の主面に到達する。このため、素子形成領域に形成された半導体素子の特性(しきい値電圧)の変動や半導体素子の電気的絶縁性の劣化(リーク電流の発生)を生じ、半導体集積回路装置の電気的信頼性が低下するという問題があった。この現象は、特に、半導体集積回路装置を非封止状態(裸実装)で使用した場合や非気密封止型の樹脂封止型パッケージで封止した場合に生じ易い。

【0008】 本発明の目的は、半導体基体の外周側面における支持基板と半導体層との間の酸化絶縁膜の端面から素子形成領域の主面に到達する陽イオンの侵入を防止し、半導体集積回路装置の電気的信頼性を向上することが可能な技術を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】 (1) 支持基板上に第1酸化絶縁膜を介在して半導体層が積層された積層構造の半導体基体で構成され、前記半導体基体の半導体層にこの半導体層の主面から深さ方向に向って前記第1酸化絶縁膜に到達する溝で周囲を規定された素子形成領域が形成され、前記素子形成領域が、前記第1酸化絶縁膜、前記溝内に埋め込まれた第2酸化絶縁膜及び前記半導体層の主面上に形成された第3酸化絶縁膜で他の領域と電気的に分離される半導体集積回路装置であって、前記半導体基体の外周側面から露出する第1酸化絶縁膜の端面上に陽イオンに対する非透過膜を設ける。

3

【0012】(2)前記非透過膜は、前記第3酸化絶縁膜の上層に形成される最終保護膜又は下地電極膜と同一層で形成する。

【0013】

【作用】上述した手段(1)によれば、半導体基体の外周側面における支持基板と半導体層との間の第1酸化絶縁膜の端面から膜中に陽イオンが侵入しないので、この第1酸化絶縁膜から第2酸化絶縁膜及び第3酸化絶縁膜を透過して素子形成領域の主面に到達する陽イオンの侵入を防止できる。この結果、素子形成領域の主面に形成される半導体素子の特性(例えばしきい値電圧)の変動や半導体素子間の電圧的絶縁性の劣化(例えばリーク電流の発生)等を防止し、半導体集積回路装置の電気的信頼性を向上できる。

【0014】上述した手段(2)によれば、非透過膜を形成する工程は、最終保護膜又は下地電極膜を形成する工程で形成されるので、前者の工程に相当する分、半導体集積回路装置の製造工程数を低減できる。

【0015】以下、本発明の構成について、半導体集積回路装置に本発明を適用した実施例とともに説明する。

【0016】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】

【実施例】(実施例1)本発明の実施例1であるワイヤボンディング方式を採用する半導体集積回路装置の概略構成を図1(平面図)及び図2(図1に示すA-A切断線で切った断面図)で示す。

【0018】図1に示すように、ワイヤボンディング方式を採用する半導体集積回路装置は平面が方形に形成された半導体基体1で構成される。この半導体基体1の主面上には方形の外周囲に沿って複数の外部端子(ボンディングパッド)BPが配列される。

【0019】前記半導体基体1は、図2に示すように、例えば、支持基板2上に酸化絶縁膜(第1酸化絶縁膜)3を介してn型半導体層4を積層した積層構造で構成される。支持基板2は例えば単結晶珪素からなるp型半導体基板で形成される。酸化絶縁膜3は例えば酸化珪素膜で形成される。この酸化珪素膜はp型半導体基板に熱酸化処理を施すことにより形成される。n型半導体層4は例えば単結晶珪素からなるn型半導体基板4A及びこのn型半導体基板4A上にエピタキシャル成長法で成長させたn型エピタキシャル層4Bで形成される。つまり、半導体集積回路装置は、平面が方形に形成されたSOI構造の半導体基体1で構成される。

【0020】前記n型半導体層4には素子形成領域4Cが形成される。この素子形成領域4Cは、n型半導体層4の主面から深さ方向に向って前記酸化絶縁膜3に到達する溝8で周囲を規定された島領域で形成される。溝8内には酸化絶縁膜(第2酸化絶縁膜)9が埋め込まれ

4

る。この酸化絶縁膜9は、例えば酸化珪素膜で形成され、前記酸化絶縁膜3に接触している。

【0021】前記素子形成領域4Cの主面上を含む半導体層4の主面上にはフィールド酸化絶縁膜(第3酸化絶縁膜)7が形成される。このフィールド酸化絶縁膜7は、例えば選択熱酸化法で形成された酸化珪素膜で形成され、前記酸化絶縁膜9に接触している。つまり、n型半導体層4の素子形成領域4Cは、酸化絶縁膜3、フィールド酸化絶縁膜7及び酸化絶縁膜9で周囲を囲まれ、他の領域と電気的に分離される。

【0022】前記フィールド酸化絶縁膜7で周囲を規定された素子形成領域4の主面にはn型ウエル領域5が形成される。このn型ウエル領域5の主面にはpチャネルMISFET(Metal Insulator Semiconductor Field Effect Transistor)Qpが構成される。つまり、pチャネルMISFETQpは、n型ウエル領域(チャネル形成領域)5、ゲート絶縁膜10、ゲート電極11、ソース領域及びドレイン領域である一対のp型半導体領域13で構成される。ゲート絶縁膜10は例えば酸化珪素膜で形成され、フィールド酸化絶縁膜7に接触している。ゲート電極11は例えば不純物が導入された多結晶珪素膜で形成される。

【0023】前記フィールド酸化絶縁膜7で周囲を規定された素子形成領域4の主面にはp型ウエル領域6が形成される。このp型ウエル領域6の主面にはnチャネルMISFETQnが構成される。つまり、nチャネルMISFETQnは、p型ウエル領域(チャネル形成領域)6、ゲート絶縁膜10、ゲート電極11、ソース領域及びドレイン領域である一対のn型半導体領域12で構成される。即ち、素子形成領域4Cには相補型MISFETが形成される。

【0024】前記pチャネルMISFETQpの一対のp型半導体領域13の夫々には、層間絶縁膜14に形成された接続孔15を通して配線16の夫々が電気的に接続される。また、前記nチャネルMISFETQnの一対のn型半導体領域12の夫々には、層間絶縁膜14に形成された接続孔15を通して配線16の夫々が電気的に接続される。層間絶縁膜14は、例えば酸化珪素膜で形成され、相補型MISFETと配線16とを絶縁分離している。配線16は、例えばアルミニウム膜又はアルミニウム合金膜で形成される。

【0025】前記配線16のうち、図2において一方のn型半導体領域12に接続される配線16には外部端子BPが接続される。この外端子BPは配線16と同一層で形成され一体に形成される。

【0026】前記配線16上を含む層間絶縁膜14上には最終保護膜(ファイナルパッシベーション膜)17が形成される。この最終保護膜17には外部端子BPの表面を露出するボンディング開口18が形成される。つまり、半導体集積回路装置は、組立工程において、外部端

5

子BPにボンディング開口18を通してボンディングワイヤ(図示せず)が接続されるボンディングワイヤ方式で構成される。

【0027】前記最終保護膜17は、半導体基体1の主面上を覆うように形成されると共に、層間絶縁膜14、フィールド酸化絶縁膜7の夫々の端面上を覆うように形成される。この最終保護膜17は例えば窒化珪素膜で形成される。窒化珪素膜は、ナトリウムイオン等の陽イオンに対して遮蔽能力を有すると共に、水分の侵入を防止する特徴がある。つまり、半導体集積回路装置は、半導体基体1の主面上、層間絶縁膜14の端面及びフィールド酸化絶縁膜7の端面から素子形成領域4Cの主面に陽イオンが侵入するのを防止している。

【0028】前記半導体基体1の外周側面には段差部1Aが形成される。段差部1Aは、n型半導体層4Aの主面から深さ方向に向って伸びる側壁面1A2と、支持基板2の主面の位置に比べて深さ方向に向って深い(低い)底面1A1とで形成される。この段差部1Aは半導体基体1の外周面に沿って形成される。

【0029】前記半導体基体1の外周側面において、支持基板2とn型半導体層4との間の酸化絶縁膜3の端面上には、ナトリウムイオン等の陽イオンに対する非透過膜17Aが形成される。この非透過膜17Aは、少なくとも酸化絶縁膜3の端面上を覆うように形成される。非透過膜17Aは例えば窒化珪素膜で形成される。つまり、半導体集積回路装置は、支持基板2とn型半導体層4との間の酸化絶縁膜3の端面から膜中に侵入する陽イオンを非透過膜17Aで防止している。

【0030】前記非透過膜17Aは最終保護膜17と同一層で形成されている。つまり、非透過膜17Aは、半導体基体1の主面上及び外周側面上を覆う最終保護膜17で形成される。

【0031】このように、半導体基体1の外周側面における支持基板2とn型半導体層4との間の酸化絶縁膜3の端面上に陽イオンに対する非透過膜17Aを設けることにより、酸化絶縁膜3の端面から膜中に陽イオンが侵入しないので、この酸化絶縁膜3から酸化絶縁膜9及びフィールド酸化絶縁膜7を透過して素子形成領域4Cの主面に到達する陽イオンの侵入を防止できる。この結果、素子形成領域4Cに形成される相補型MISFETの特性(しきい値電圧)の変動や相補型MISFET間の電氣的絶縁性の劣化(リーク電流の発生)等を防止し、半導体集積回路装置の電氣的信頼性を向上できる。

【0032】また、非透過膜17Aを最終保護膜17と同一層で形成することにより、非透過膜17を形成する工程は、最終保護膜17を形成する工程で形成されるので、前者の工程数に相当する分、半導体集積回路装置の製造工程数を低減できる。

【0033】なお、前記非透過膜17Aは陽イオンに対して捕獲能力を有するPSG(Phospho Silicate Gl

6

ass)膜で形成してもよい。

【0034】また、前記非透過膜17AはTi膜、Cr膜、Mo膜、Al膜、W膜等の金属膜又はこれらの合金膜で形成してもよい。

【0035】(実施例2)本発明の実施例2であるフェイスダウン方式を採用する半導体集積回路装置の概略構成を図3(平面図)及び図4(要部平面図)で示す。なお、図3において、パンプ電極は省略している。

【0036】図3に示すように、フェイスダウン方式を採用する半導体集積回路装置は、平面が方形に形成された半導体基体1で構成される。この半導体基体1の主面上には複数個のパンプ電極22が配列される。

【0037】前記半導体基体1は、図4に示すように、支持基板2上に酸化絶縁膜3を介在してn型半導体層4を積層した積層構造で構成される。つまり、半導体集積回路装置は、前述の実施例1と同様に、SOI構造の半導体基体1で構成される。

【0038】前記n型半導体層4には素子形成領域4Cが形成される。この素子形成領域4Cは、前述の実施例1と同様に、溝8で周囲を規定された島領域で形成され、かつ酸化絶縁膜3、フィールド絶縁膜7及び酸化絶縁膜9で周囲を囲まれ、他の領域と電氣的に分離される。

【0039】前記フィールド酸化絶縁膜7で周囲を規定された素子形成領域の主面にはn型ウエル領域5及びp型ウエル領域6が形成される。このn型ウエル領域5の主面にはpチャネルMISFETQpが構成され、p型ウエル領域6の主面にはnチャネルMISFETQnが構成される。つまり、素子形成領域4Cには、前述の実施例1と同様に相補型MISFETが形成される。

【0040】前記pチャネルMISFETQpの一对のp型半導体領域13の夫々には、層間絶縁膜14に形成された接続孔15を通して配線16の夫々が電氣的に接続される。また、前記nチャネルMISFETQnの一对のn型半導体領域12の夫々には、層間絶縁膜14に形成された接続孔15を通して配線16の夫々が電氣的に接続される。この配線16上を含む層間絶縁膜14上には最終保護膜17が形成される。

【0041】前記配線16が形成される配線層には外部端子BPが形成される。この外部端子BPの主面上には、最終保護膜17に形成されたボンディング開口18を通して例えば半田で形成されたパンプ電極22が形成される。つまり、半導体集積回路装置は、組立工程において、実装基板の実装面上にパンプ電極22を下にして実装するフェイスダウン方式で構成される。

【0042】前記外部端子BPとパンプ電極22の間には、下地電極膜として例えばBLM(Ball Limiting Metallization)膜20Bが形成される。このBLM膜22は、この構造に限定されないが、例えば外部端子BPの表面側からCr膜、Cu膜、Au膜の夫々を順次積

層した積層膜で形成される。

【0043】前記半導体基体1の外周側面には、前述の実施例1と同様に、側壁面1A₂と底面1A₁とで形成される段差部1Aが形成される。この段差部1Aの底面1A₁上及び側壁面1A₂上には、陽イオンに対する非透過膜20Aが形成される。つまり、半導体基体1の外周側面において、酸化絶縁膜3の端面上には非透過膜20Aが形成される。非透過膜20Aは前述のBLM膜22Aと同一層で形成される。つまり、非透過膜20Aは、陽イオンに対して遮蔽能力を有する金属膜で形成される。非透過膜20Aは、図3に示すように、例えば基準電位(V_{ss})が印加されるBLM膜20Bに電氣的に接続される。

【0044】次に、前記半導体集積回路装置の製造方法について、図5乃至図9(各製造工程毎に示す要部断面図)を用いて簡単に説明する。

【0045】まず、支持基板2上に酸化絶縁膜3を介在してn型半導体層4を積層した積層構造の半導体ウエーハ30を用意する。この半導体ウエーハ30には、複数の半導体基体形成領域30Aが行列状に規定され、この半導体基体30A間にはスクライプ領域30Bが規定される。

【0046】次に、前記半導体ウエーハ30の半導体基体形成領域30Aにおいて、周知の技術を使用して、n型ウェル領域5、p型ウェル領域6、フィールド酸化絶縁膜7、溝8、酸化絶縁膜9、素子形成領域4C、nチャネルMISFETQ_n、pチャネルMISFETQ_p、層間絶縁膜14、接続孔15、配線16、外部端子BPの夫々を形成する。

【0047】次に、前記半導体ウエーハ30の半導体基体形成領域30A上及びスクライプ領域30B上を含む全面に最終保護膜17を形成する。この後、図5に示すように、前記最終保護膜17に外部端子BPの表面が露出するボンディング開口18を形成する。

【0048】次に、前記半導体ウエーハ30の半導体基体形成領域30A上にマスク19を形成する。このマスク19は例えばフォトリソ膜で形成される。

【0049】次に、前記マスク19をエッチングマスクとして使用し、半導体ウエーハ30のスクライプ30B領域において、最終保護膜17、n型半導体層4、酸化絶縁膜3、支持基板2の夫々に順次エッチングを施して、図6に示すように、半導体基体形成領域30Aの外周(スクライプ領域30B)に段差部1Aを形成する。この段差部1Aは底面1A₁と側壁面1A₂とで形成される。

【0050】次に、前記マスク19を除去する。

【0051】次に、図7に示すように、前記半導体ウエーハ30の半導体基体形成領域30A上及びスクライプ領域30B上を含む全面に金属膜20を形成する。この金属膜20は、Cr膜、Cu膜、Au膜の夫々を例えば

スパッタ法で順次堆積した積層膜で形成される。

【0052】次に、前記外部端子BPの領域、段差部1Aの領域の夫々の金属膜20上にマスク21を形成する。このマスク21は例えばフォトリソ膜で形成される。この後、前記マスク21をエッチングマスクとして使用し、金属膜20にエッチングを施して、図8に示すように、BLM膜20B及び非透過膜20Aを形成する。

【0053】次に、前記マスク21を除去する。

【0054】次に、図9に示すように、前記BLM膜20B上にバンプ電極22を形成する。この後、半導体ウエーハ30のスクライプ領域30Bをダイシングすることにより、図3に示すように、半導体基体(半導体ペレット)1で構成された半導体集積回路装置が完成する。

【0055】このように、半導体基体1の外周側面における支持基板2とn型半導体層4との間の酸化絶縁膜3の端面上に陽イオンに対する非透過膜20Aを設けることにより、前述の実施例1と同様に半導体集積回路装置の電氣的信頼性を向上できる。

【0056】また、非透過膜20Aを下地電極膜であるBLM膜20Bと同一層で形成することにより、前述の実施例1と同様に半導体集積回路装置の製造工程数を低減できる。

【0057】また、非透過膜20Aを基準電位(V_{ss})が印加されるBLM膜20Bと電氣的に接続することにより、支持基板2の帯電防止や動作時のノイズを低減できる。

【0058】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0059】例えば、本発明は、素子形成領域の主面にバイポーラトランジスタを形成したSOI構造の半導体集積回路装置にも適用できる。

【0060】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0061】半導体基板の外周側面における支持基板と半導体層との間の酸化絶縁膜の端面から素子形成領域の主面に到達する陽イオンの侵入を防止でき、半導体集積回路装置の電氣的信頼性を向上できる。

【0062】また、半導体集積回路装置の製造工程数を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施例1であるボンディングワイヤ方式を採用する半導体集積回路装置の概略構成を示す平面図。

【図2】 図1に示すA-A切断線で切った要部断面

図。

【図3】 本発明の実施例2であるフェイスダウン方式を採用する半導体集積回路装置の概略構成を示す平面図。

【図4】 図3に示すB-B切断線で切った要部断面図。

【図5】 前記半導体集積回路装置の製造方法を説明するための各製造工程毎に示す要部断面図。

【図6】 前記半導体集積回路装置の製造方法を説明するための各製造工程毎に示す要部断面図。

【図7】 前記半導体集積回路装置の製造方法を説明するための各製造工程毎に示す要部断面図。

【図8】 前記半導体集積回路装置の製造方法を説明するための各製造工程毎に示す要部断面図。

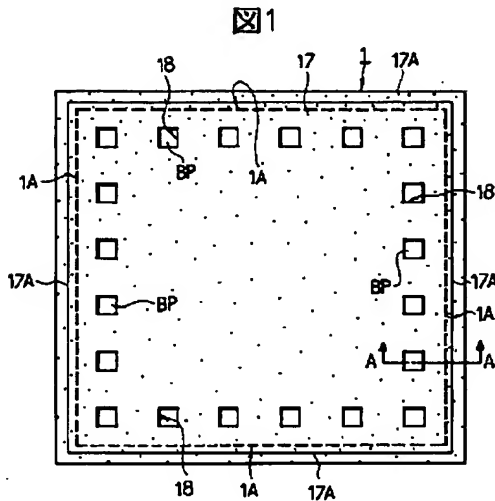
【図9】 前記半導体集積回路装置の製造方法を説明す

るための各製造工程毎に示す要部断面図。

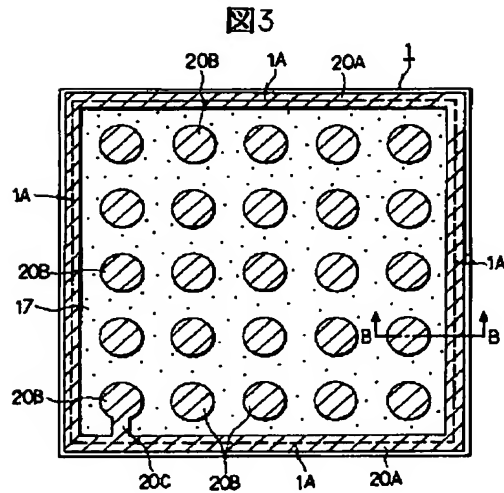
【符号の説明】

1…半導体基体、1A…段差部、1A1…底面、1A2…側壁面、2…支持基板、3…酸化絶縁膜(第1酸化絶縁膜)、4…n型半導体層、4A…n型半導体基板、4B…n型エピタキシャル層、4C…素子形成領域、5…n型ウェル領域、6…p型ウェル領域、7…フィールド酸化絶縁膜(第3酸化絶縁膜)、8…溝、9…酸化絶縁膜(第2酸化絶縁膜)、10…ゲート絶縁膜、11…ゲート電極、12…n型半導体領域、13…p型半導体領域、14…層間絶縁膜、15…接続孔、16…配線、17…最終保護膜(ファイナルパッシベーション)、17A…非透過膜、18…ボンディング開口、19…マスク、20…金属膜、20A…非透過膜、20B…BLM膜、21…マスク、22…パンプ電極。

【図1】

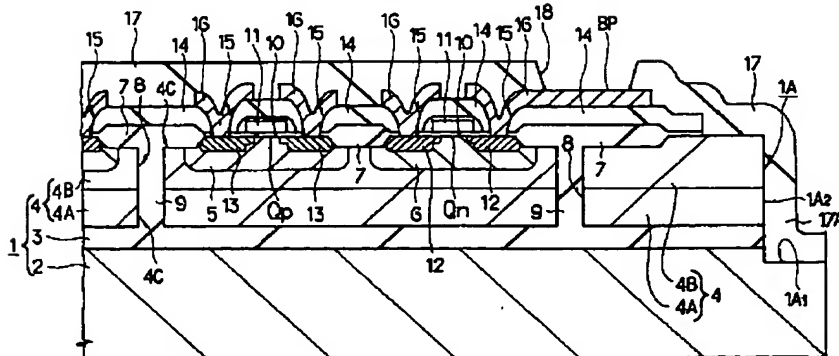


【図3】



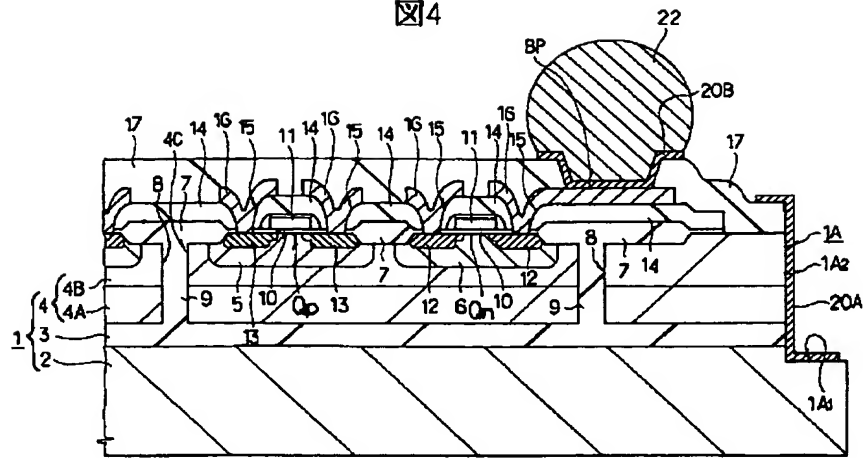
【図2】

図2



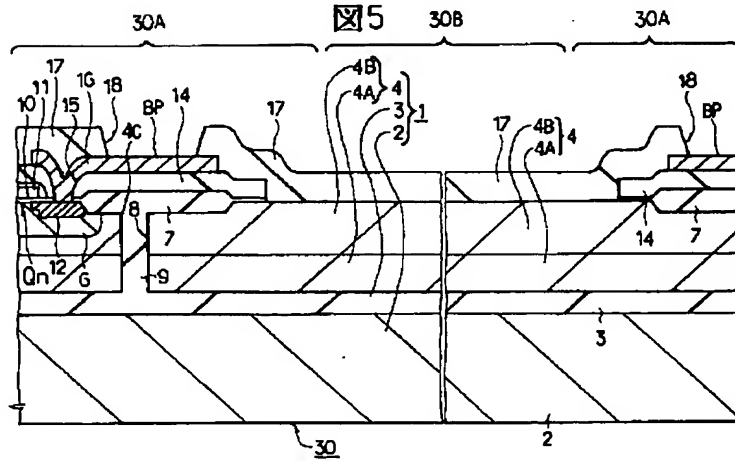
【図4】

図4

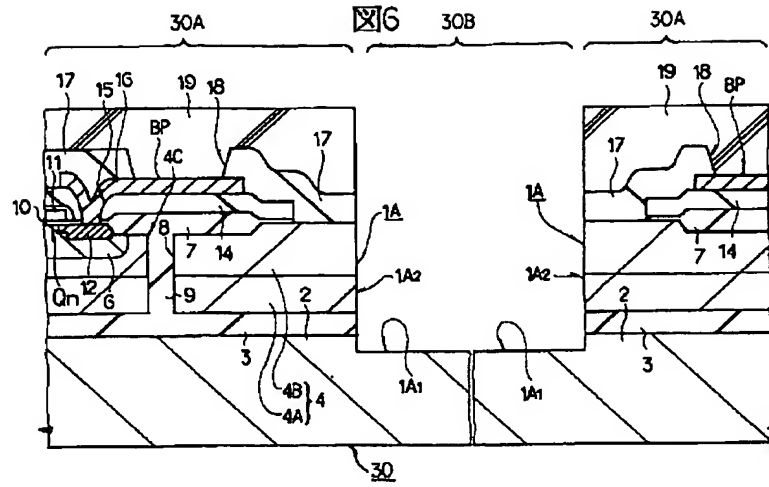


【図5】

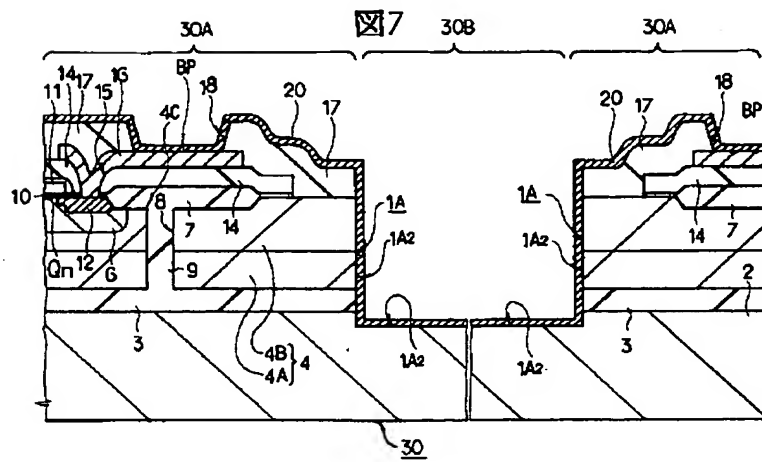
図5



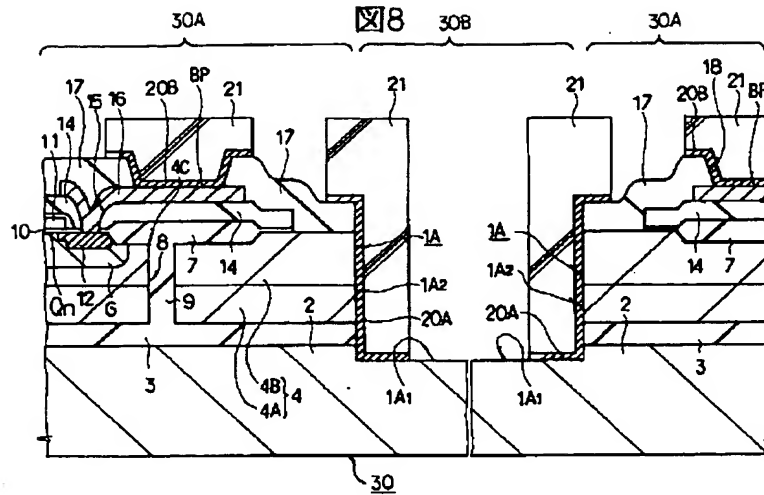
【図 6】



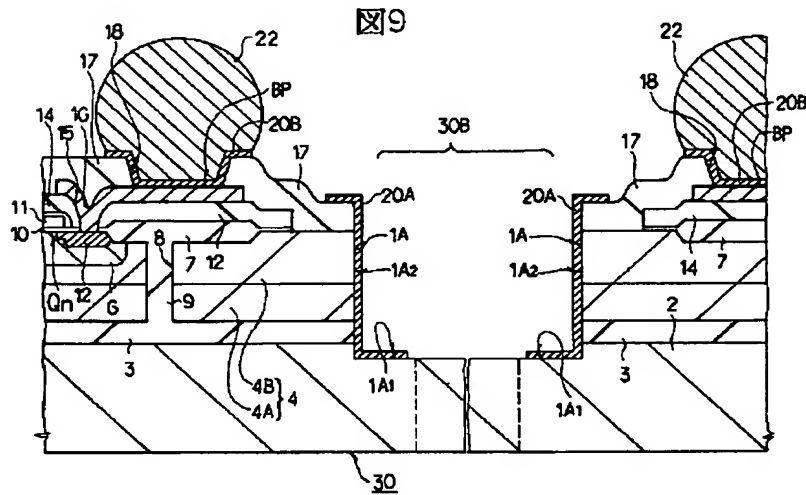
【図 7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁵H 0 1 L 23/31
27/12
29/784

識別記号

庁内整理番号

F I

技術表示箇所

F